

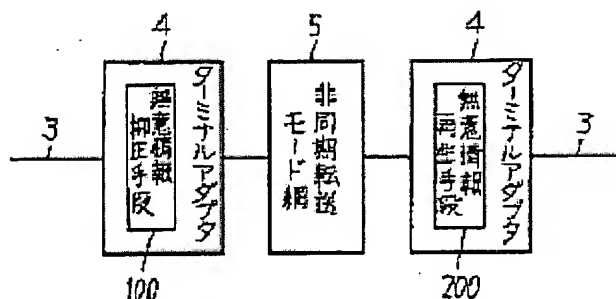
**ATM CELL FORMATION SYSTEM**

**Patent number:** JP5327751  
**Publication date:** 1993-12-10  
**Inventor:** HYODO RYUJI; MIYAMOTO NAOYUKI; SHIMADA KOUSOU; MATSUDA TAKAO; TANAKA KENJI; HATTA HIROYUKI; SEKIHASHI OSAMU  
**Applicant:** FUJITSU LTD  
**Classification:**  
- international: H04L12/48  
- european:  
**Application number:** JP19920125183 19920519  
**Priority number(s):** JP19920125183 19920519

Report a data error here

**Abstract of JP5327751**

**PURPOSE:** To provide a terminal adaptor which can extremely improve the efficiency an asynchronous transfer mode network and also can extremely reduce the communication cost in regard an ATM cell formation system for the terminal adaptor which stores a high speed digital trunk line in the asynchronous transfer mode network. **CONSTITUTION:** An insignificant information suppressing means 100 detects the insignificant information not to be transmitted (and equal to several precedent frames) out of the digital information received from a high speed digital trunk line 3 and then suppresses the insignificant information to send this to an asynchronous transfer mode network 5. Then a insignificant information reproducing means 200 detects the suppression of the insignificant information out of the digital information received from the network 5 (based on the information showing the suppression) and reproduces the insignificant information into its unsuppressed state (by repeating the digital information received in a frame precedent the information showing the suppression, for example) to send the reproduced information to the line 3.



Data supplied from the esp@cenet database - Worldwide



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-327751

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 12/48

8529-5K

H 0 4 L 11/20

Z

審査請求 未請求 請求項の数2(全 7 頁)

(21)出願番号 特願平4-125183

(22)出願日 平成4年(1992)5月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 兵頭 竜二

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 宮本 直行

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 嶋田 弘僧

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

最終頁に続く

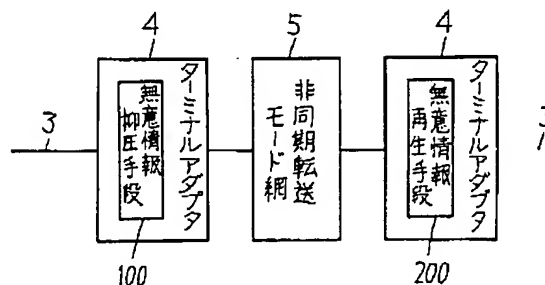
(54)【発明の名称】 A T Mセル化方式

(57)【要約】

【目的】 高速デジタル中継線を非同期転送モード網に收容するターミナルアダプタにおけるA T Mセル化方式に関し、非同期転送モード網の効率を極力向上し、且つ通信費用を極力節減可能とするターミナルアダプタを実現することを目的とする。

【構成】 高速デジタル中継線3から到着するデジタル情報から伝送不要の無意情報を(例えば前数フレームと不変であること等により)検出して抑圧した後、非同期転送モード網5に送信する無意情報抑圧手段100と、非同期転送モード網5から受信するデジタル情報から無意情報の抑圧を(例えば抑圧を示す情報等により)検出し、抑圧前の状態に(例えば抑圧を示す情報の前フレームで受信したデジタル情報を繰返す等により)再生して高速デジタル中継線3に送信する無意情報再生手段(200)とを設ける様に構成する。

本発明の原理図



## 【特許請求の範囲】

【請求項1】 複数のデジタル情報を時分割多重化して伝送する高速デジタル中継線(3)を非同期転送モード網(5)に収容するターミナルアダプタ(4)において、

前記高速デジタル中継線(3)から到着するデジタル情報から伝送不要の無意情報を検出して抑圧した後、前記非同期転送モード網(5)に送信する無意情報抑圧手段(100)と、

前記非同期転送モード網(5)から受信するデジタル情報から前記無意情報の抑圧を検出し、抑圧前の状態に再生して高速デジタル中継線(3)に送信する無意情報再生手段(200)とを設けることを特徴とするATMセル化方式。

【請求項2】 前記無意情報抑圧手段(100)は、前記高速デジタル中継線(3)から到着する前記デジタル情報が連続する所定フレーム数に渡って不変の場合に、該デジタル情報を無意情報と判定し、抑圧した旨を示す情報のみを前記非同期転送モード網(5)に送信し、前記無意情報再生手段(200)は、前記非同期転送モード網(5)から受信するデジタル情報の中から、前記無意情報抑圧手段(100)により送信された抑圧した旨を示す情報を検出した場合に、前記抑圧した旨を示す情報の前に受信したデジタル情報を再生して前記高速デジタル中継線(3)に送信することを特徴とする請求項1記載のATMセル化方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、高速デジタル中継線を非同期転送モード(Asynchronous Transfer Mode、略称ATM)網に収容するターミナルアダプタにおけるATMセル化方式に関する。

## 【0002】

【従来の技術】図6は本発明の対象となる非同期転送モード網の一例を示す図であり、図7は従来あるターミナルアダプタの一例を示す図であり、図8はATMセルの構成の一例を示す図である。

【0003】図6において、複数(例えば24個)のデジタル端末(DT)1は、時分割多重化装置(TDM)2、高速デジタル中継線3およびターミナルアダプタ(TA)4を経由して非同期転送モード網5に収容される。

【0004】各デジタル端末(DT)1は、それぞれ毎秒64キロビットのデジタル情報を送受信する。なおデジタル端末(DT)1は、送信すべき有意のデジタル情報(以後有意情報と称する)が存在しない場合には、同じく毎秒64キロビットの無意のデジタル情報(例えば所定のパターンを有する情報、以後無意情報と称する)を送信する。

【0005】時分割多重化装置(TDM)2は、24個

のデジタル端末(DT)1から送信される毎秒64キロビットのデジタル情報を時分割多重化し、高速デジタル中継線3を経由してターミナルアダプタ(TA)4に転送する。

【0006】ターミナルアダプタ(TA)4は、図7に例示される如くアダプテーションレイヤ処理部41およびATMレイヤ処理部42から構成されている。アダプテーションレイヤ処理部41は、高速デジタル中継線3から到着する時分割多重化されたデジタル情報を、44オクテット(OCT)宛に区分し、ATMレイヤ処理部42に伝達する。

【0007】ATMレイヤ処理部42は、アダプテーションレイヤ処理部41から伝達される44オクテット(OCT)宛に区分されたデジタル情報を、図8に例示される如きATMセルのセル分解組立ペイロード(SAR-PDU PL)とし、該セル分解組立ペイロード(SAR-PDU PL)に、5オクテット(OCT)から成るヘッダ(HD)と、2オクテットから成るセル分解組立ヘッダ(SAR-PDU HD)と、2オクテット(OCT)から成るセル分解組立トレイラ(SAR-PDU TL)とを付加してATMセルを組立て、非同期転送モード網5に送信する。

【0008】またATMレイヤ処理部42は、非同期転送モード網5から到着するATMセルを受信・分解し、セル分解組立ペイロード(SAR-PDU PL)として転送された44オクテット(OCT)のデジタル情報を、アダプテーションレイヤ処理部41に伝達する。

【0009】またアダプテーションレイヤ処理部41は、ATMレイヤ処理部42から伝達される44オクテット(OCT)に区分されたデジタル情報を連結し、毎秒64キロビットのデジタル情報を24組復元して、時分割多重化したデジタル情報として、高速デジタル中継線3を経由して時分割多重化装置(TDM)2に転送する。

【0010】時分割多重化装置(TDM)2は、高速デジタル中継線3から到着する時分割多重化されたデジタル情報を時分割分離して得られる24組の毎秒64キロビットのデジタル情報を、各デジタル端末(DT)1に伝達する。

【0011】各デジタル端末(DT)1は、時分割多重化装置(TDM)2から伝達される毎秒64キロビットのデジタル情報から、有意のデジタル情報を受信する。

## 【0012】

【発明が解決しようとする課題】以上の説明から明らかな如く、従来あるターミナルアダプタにおいては、高速デジタル中継線3から到着する時分割多重化されたデジタル情報を、無意情報も含めて総てATMセルに変換し、非同期転送モード網5を経由して転送していた為、非同期転送モード網5の効率が低下すると共に、非

同期転送モード網5が従量制課金を採用する場合に、無意情報も課金の対象となる問題があった。

【0013】本発明は、非同期転送モード網の効率を極力向上し、且つ通信費用を極力節減可能とする、高速デジタル中継線を非同期転送モード網に収容するターミナルアダプタを実現することを目的とする。

【0014】

【課題を解決するための手段】図1は本発明の原理を示す図である。図1において、3は複数のデジタル情報を時分割多重して伝送する高速デジタル中継線、5は非同期転送モード網、4は高速デジタル中継線3を非同期転送モード網5に収容する為のターミナルアダプタである。

【0015】100は、本発明によりターミナルアダプタ4に設けられた無意情報抑圧手段である。200は、本発明によりターミナルアダプタ4に設けられた無意情報再生手段である。

【0016】

【作用】無意情報抑圧手段100は、高速デジタル中継線3から到着するデジタル情報から伝送不要の無意情報を検出して抑圧した後、非同期転送モード網5に送信する。

【0017】無意情報再生手段200は、非同期転送モード網5から受信するデジタル情報から無意情報の抑圧を検出し、抑圧前の状態に再生して高速デジタル中継線3に送信する。

【0018】なお無意情報抑圧手段100は、高速デジタル中継線3から到着するデジタル情報が連続する所定フレーム数に渡って不変の場合に、該デジタル情報を無意情報と判定し、抑圧した旨を示す情報のみを非同期転送モード網5に送信し、前記無意情報再生手段200は、非同期転送モード網5から受信するデジタル情報の中から、前記無意情報抑圧手段100により送信された抑圧した旨を示す情報を検出した場合に、抑圧した旨を示す情報の前に受信したデジタル情報を再生して高速デジタル中継線3に送信することが考慮される。

【0019】従って、ターミナルアダプタは、高速デジタル中継線から到着する時分割多重化されたデジタル情報の中から、有意情報のみをセル化して非同期転送モード網を経由して転送する為、非同期転送モード網の効率も向上し、また非同期転送モード網の利用者の通信費用も節減可能となる。

【0020】

【実施例】以下、本発明の一実施例を図面により説明する。図2は本発明の一実施例によるターミナルアダプタを示す図であり、図3は本発明の一実施例による有意情報フレームを示す図であり、図4は本発明の一実施例による無意情報フレームを示す図であり、図5は本発明の他の実施例による有意情報フレームを示す図である。な

お、全図を通じて同一符号は同一対象物を示す。また対象とする非同期転送モード網は図6に示す通りとし、また対象とするATMセルの構成は図8に示す通りとする。

【0021】図2においては、図1における無意情報抑圧手段100として無意情報抑圧部44がアダプテーションレイヤ処理部41内に設けられ、また図1における無意情報再生手段200として無意情報再生部47がアダプテーションレイヤ処理部41内に設けられている。

【0022】また図2においては、四個のフレームメモリ43（個々のフレームメモリを43<sub>1</sub>乃至43<sub>4</sub>と称する、以下同様）と、二個のフレームメモリ48とが設けられている。

【0023】図2乃至図4において、24組のデジタル端末(DT)1から送信された毎秒64キロビットの有意情報および無意情報は、前述と同様に、時分割多重化装置(TDM)2により時分割多重化され、高速デジタル中継線3を経由してターミナルアダプタ(TA)4に転送される。

【0024】ターミナルアダプタ(TA)4においては、アダプテーションレイヤ処理部41が、高速デジタル中継線3から到着する時分割多重化されたデジタル情報を一フレーム毎に区切ってフレームメモリ43<sub>1</sub>に蓄積し、次に一フレーム分の時分割多重化されたデジタル情報が到着すると、フレームメモリ43<sub>1</sub>に蓄積されていた一フレーム前の時分割多重化されたデジタル情報をフレームメモリ43<sub>2</sub>に転送した後、新たに到着した一フレーム分の時分割多重化されたデジタル情報をフレームメモリ43<sub>1</sub>に蓄積する。

【0025】以下同様に、新たな一フレーム分の時分割多重化されたデジタル情報が到着する度に、フレームメモリ43<sub>2</sub>に蓄積されている三フレーム前の時分割多重化されたデジタル情報をフレームメモリ43<sub>3</sub>に転送し、フレームメモリ43<sub>2</sub>に蓄積されている二フレーム前の時分割多重化されたデジタル情報をフレームメモリ43<sub>1</sub>に転送し、フレームメモリ43<sub>1</sub>に蓄積されていた一フレーム前の時分割多重化されたデジタル情報をフレームメモリ43<sub>2</sub>に転送した後、新たに到着した一フレーム分の時分割多重化されたデジタル情報をフレームメモリ43<sub>1</sub>に蓄積する。

【0026】従って、フレームメモリ43<sub>1</sub>乃至43<sub>4</sub>には、過去四フレーム分の時分割多重化されたデジタル情報が常に蓄積されることとなる。無意情報抑圧部44は、新たな一フレーム分の時分割多重化されたデジタル情報がフレームメモリ43<sub>1</sub>に蓄積される度に、フレームメモリ43<sub>1</sub>乃至43<sub>4</sub>に蓄積される四フレーム分の時分割多重化されたデジタル情報を比較し、総ての時分割多重化されたデジタル情報が総て等しい場合以外は、新たな一フレーム分の時分割多重化されたデジタル情報が有意な時分割多重化されたデジタル情報

と判定し、図3に例示される如く、当該フレームに付与したフレーム番号(FN)と、有意状態(例えば論理“1”)に設定された有意フレームフラグ(R)と、フレーム長(FL)(=24)と、24組のデジタル端末(DT)1から送信された各デジタル情報[タイムスロット情報(TS<sub>1</sub>)乃至(TS<sub>24</sub>)]とから成る26オクテット(OCT)の有意情報フレームを組立てる。

【0027】また無意情報抑圧部44は、フレームメモリ43<sub>1</sub>乃至43<sub>4</sub>に蓄積される四フレーム分の時分割多重化されたデジタル情報を比較した結果、総ての時分割多重化されたデジタル情報が等しい場合には、新たな一フレーム分の時分割多重化されたデジタル情報が無意な時分割多重化されたデジタル情報と判定し、図4に例示される如く、当該フレームに付与したフレーム番号(FN)と、無意状態(例えば論理“0”)に設定された有意フレームフラグ(R)と、フレーム長(FL)(=0)とから成る2オクテット(OCT)の無意情報フレームを組立てる。

【0028】無意情報抑圧部44は、組立てた有意情報フレームおよび無意情報フレームを、順次ペイロード組立部45に伝達する。ペイロード組立部45は、無意情報抑圧部44から伝達された有意情報フレームおよび無意情報フレームをフレーム番号(FN)順に連結し、44オクテット(OCT)宛に区分し、ATMレイヤ処理部42に伝達する。

【0029】ATMレイヤ処理部42は、前述と同様に、アダプテーションレイヤ処理部41から伝達される44オクテット(OCT)宛に区分されたデジタル情報を用いて、図8に示される如きATMセルを組立て、非同期転送モード網5に送信する。

【0030】またATMレイヤ処理部42は、前述と同様に、非同期転送モード網5から到着するATMセルを受信・分解し、セル分解組立ペイロード(SAR-PDUP)として転送された44オクテット(OCT)のデジタル情報を、アダプテーションレイヤ処理部41に伝達する。

【0031】アダプテーションレイヤ処理部41においては、ペイロード分解部46がアダプテーションレイヤ処理部41から伝達された44オクテット(OCT)宛のデジタル情報を連結すると共に、図3および図4に示される如き有意情報フレームおよび無意情報フレームに区分し、順次無意情報再生部47に伝達する。

【0032】無意情報再生部47は、ペイロード分解部46から伝達された各有意情報フレームおよび無意情報フレームのフレーム番号(FN)の順序性を確認した後、有意フレームフラグ(R)を解析し、有意フレームフラグ(R)が有意状態(論理“1”)に設定されている場合には、第3オクテット(OCT)から、フレーム長(FL)(=24)に指定されたオクテット(OCT)数分のオクテット(OCT)をタイムスロット情報

(TS<sub>1</sub>)乃至(TS<sub>24</sub>)とする一フレーム分の時分割多重化されたデジタル情報を組立てる。

【0033】無意情報再生部47は、新たな一フレーム分の時分割多重化されたデジタル情報を組立てる度に、フレームメモリ48<sub>1</sub>に蓄積されている一フレーム分の時分割多重化されたデジタル情報をフレームメモリ48<sub>2</sub>に蓄積した後、新たな一フレーム分の時分割多重化されたデジタル情報をフレームメモリ48<sub>1</sub>に蓄積する。

【0034】フレームメモリ48<sub>2</sub>に蓄積した一フレーム分の時分割多重化されたデジタル情報は、高速デジタル中継線3を経由して時分割多重化装置(TDM)2に転送し、各デジタル端末(DT)1に伝達する。

【0035】また無意情報再生部47は、有意フレームフラグ(R)を解析した結果、有意フレームフラグ(R)が無意状態(論理“0”)に設定されている場合には、無意情報フレームを受信したと判定し、フレームメモリ48<sub>1</sub>に蓄積されている一フレーム前の時分割多重化されたデジタル情報と同一の一フレーム分の時分割多重化されたデジタル情報により無意情報フレームを再生したこととし、フレームメモリ48<sub>1</sub>に蓄積されている一フレーム分の時分割多重化されたデジタル情報をフレームメモリ48<sub>2</sub>に蓄積した儘、フレームメモリ48<sub>1</sub>には新たな一フレーム分の時分割多重化されたデジタル情報を蓄積することは無い。

【0036】従ってフレームメモリ48<sub>1</sub>には、一フレーム前の時分割多重化されたデジタル情報がその儘蓄積された状態となる。以上の説明から明らかな如く、本実施例によれば、無意情報抑圧部44が高速デジタル中継線3から到着する時分割多重化されたデジタル情報を一フレーム毎に過去三フレーム分の時分割多重化されたデジタル情報と比較し、四フレーム分の時分割多重化されたデジタル情報が一致した場合には、無意情報フレームを作成して無意の情報を含むタイムスロット情報(TS<sub>1</sub>)乃至(TS<sub>24</sub>)がATMレイヤ処理部42に伝達されるのを抑圧し、また無意情報再生部47がATMレイヤ処理部42から伝達されるセル分解組立ペイロード(SAR-PDUP)内に無意情報フレームを検出すると、一フレーム前の時分割多重化されたデジタル情報を繰返し受信したこととして再生する為、無意情報が非同期転送モード網5を経由して転送されることが防止される。

【0037】なお、図2乃至図4はあく迄本発明の一実施例に過ぎず、例えば無意情報抑圧部44は有意情報および無意情報を、一フレーム単位で判定するものに限定されることは無く、例えば各タイムスロット情報(TS<sub>1</sub>)乃至(TS<sub>24</sub>)単位で判定する等、他に幾多の変形が考慮されるが、何れの場合にも本発明の効果は変わらない。

【0038】有意情報および無意情報をタイムスロット

情報 (TS<sub>1</sub>) 乃至 (TS<sub>24</sub>) 単位で判定する場合に  
は、無意情報抑圧部44は新たに高速デジタル中継線  
3から到着した一フレーム分の時分割多重化されたディ  
ジタル情報をフレームメモリ43<sub>1</sub>に蓄積した場合に、  
フレームメモリ43<sub>2</sub>乃至43<sub>4</sub>に蓄積されている過去  
三フレーム分の時分割多重化されたデジタル情報と各  
タイムスロット情報 (TS<sub>1</sub>) 乃至 (TS<sub>24</sub>) 単位で比  
較し、四フレーム分が一致した以外のタイムスロット情  
報 (TS<sub>1</sub>) 乃至 (TS<sub>24</sub>) のみを用いて、図5に示さ  
れる如き有意情報フレームを組立てる。

【0039】図5に示される有意情報フレームは、第一  
オクテット (OCT) には図3と同様にフレーム番号  
(FN) を設け、第二乃至第四オクテット (OCT) には  
各タイムスロット情報 (TS<sub>1</sub>) 乃至 (TS<sub>24</sub>) の有  
意性を示す有意タイムスロットフラグ (r<sub>1</sub>) が24ビ  
ット分設けられている。

【0040】例えば図5においては、無意情報抑圧部4  
4が各タイムスロット情報 (TS<sub>1</sub>) 乃至 (TS<sub>24</sub>) の  
有意性を解析の結果、タイムスロット情報 (TS<sub>1</sub>)、  
(TS<sub>4</sub>)、(TS<sub>11</sub>)、(TS<sub>17</sub>) および (TS<sub>23</sub>) のみ  
が有意と判定され、その他のタイムスロット情報  
(TS) は無意と判定された場合に、有意と判定された  
各タイムスロット情報 (TS<sub>1</sub>)、(TS<sub>4</sub>)、(TS<sub>11</sub>)、  
(TS<sub>17</sub>) および (TS<sub>23</sub>) に対応する有意タイム  
スロットフラグ (r<sub>1</sub>)、(r<sub>4</sub>)、(r<sub>11</sub>)、(r<sub>17</sub>)  
および (r<sub>23</sub>) のみが有意状態 (例えば論理  
“1”) に設定され、その他の有意タイムスロットフラ  
グ (r) が無意状態 (例えば論理“0”) に設定されて  
いる。

【0041】無意情報抑圧部44が図5に示される如き  
有意情報フレームを組立てた場合には、無意情報再生部  
47は各有意情報フレームの有意タイムスロットフラグ  
(r<sub>1</sub>) 乃至 (r<sub>24</sub>) を解析し、無意状態 (論理  
“0”) に設定されている有意タイムスロットフラグ  
(r) に対応するタイムスロット情報 (TS) は、前フ  
レームで受信したタイムスロット情報 (TS) を繰返す  
ことにより再生する。

【0042】また本発明の対象となるターミナルアダプ  
タ (TA) 4は毎秒64キロビットの情報を24多重し  
たデジタル情報を送受信するものに限定されることは

無く、他に幾多の変形が考慮されるが、何れの場合にも  
本発明の効果は変わらない。

【0043】

【発明の効果】以上、本発明によれば、前記ターミナル  
アダプタにおいて、ターミナルアダプタは、高速ディ  
ジタル中継線から到着する時分割多重化されたディ  
ジタル情報の中から、有意情報のみをセル化して非同期転送モ  
ード網を経由して転送する為、非同期転送モード網の効  
率も向上し、また非同期転送モード網の利用者の通信費  
用も節減可能となる。

【図面の簡単な説明】

【図1】 本発明の原理を示す図

【図2】 本発明の一実施例によるターミナルアダプタ  
を示す図

【図3】 本発明の一実施例による有意情報フレームを  
示す図

【図4】 本発明の一実施例による無意情報フレームを  
示す図

【図5】 本発明の他の実施例による有意情報フレーム  
を示す図

【図6】 本発明の対象となる非同期転送モード網の一  
例を示す図

【図7】 従来あるターミナルアダプタの一例を示す図

【図8】 ATMセルの構成の一例を示す図

【符号の説明】

- 1 デジタル端末 (DT)
- 2 時分割多重化装置 (TDM)
- 3 高速デジタル中継線
- 4 ターミナルアダプタ (TA)
- 5 非同期転送モード網
- 41 アダプテーションレイヤ処理部
- 42 ATMレイヤ処理部
- 43、48 フレームメモリ
- 44 無意情報抑圧部
- 45 ペイロード組立部
- 46 ペイロード分解部
- 47 無意情報再生部
- 100 無意情報抑圧手段
- 200 無意情報再生手段

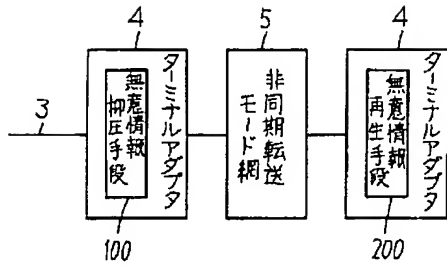
【図4】

本発明による無意情報フレーム

F N	
R="0"	FL=0

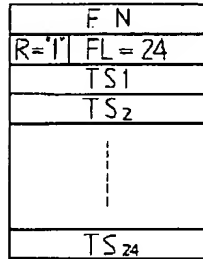
【図1】

本発明の原理図



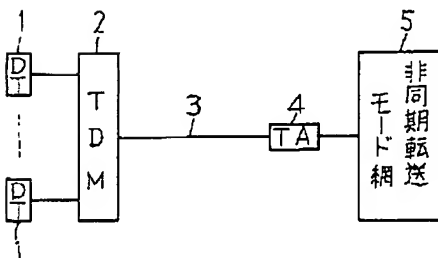
【図3】

本発明による有意情報フレーム



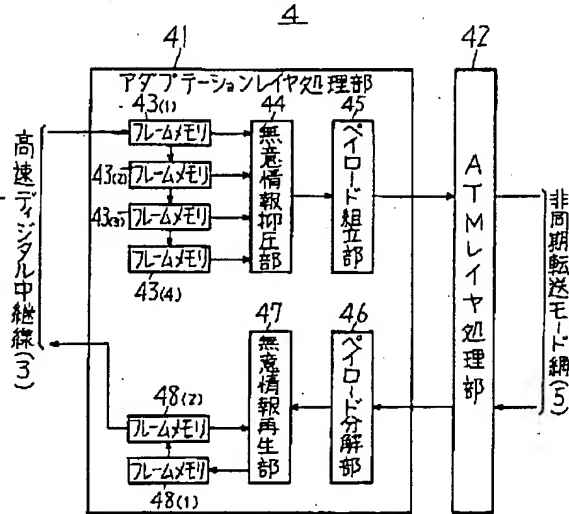
【図6】

本発明の対象となる非同期転送モード網



【図2】

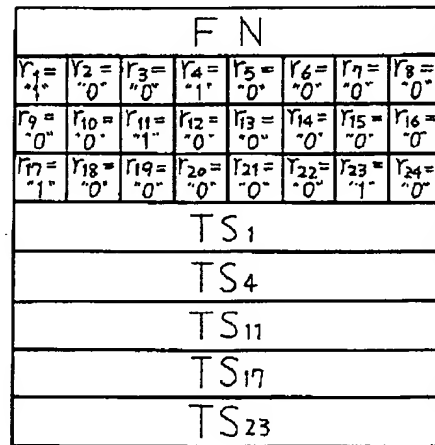
本発明によるターミナルアダプタ



【図8】

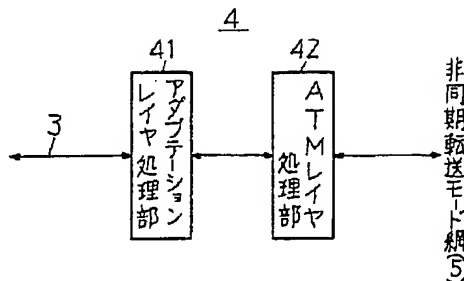
【図5】

本発明による他の有意情報フレーム

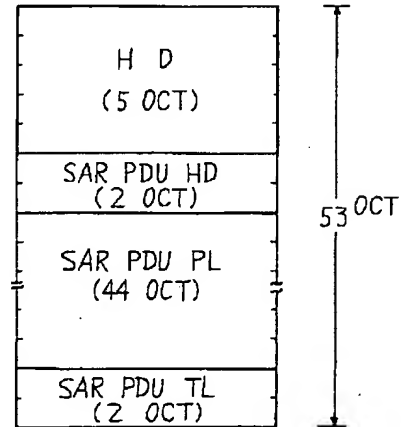


【図7】

従来あるターミナルアダプタ



ATMセルの構成



## フロントページの続き

(72)発明者 松田 高男  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 田中 堅二  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 八田 裕之  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 関端 理  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内